

(11) 特許出願公開番号

特開2005-117499

(P2005-117499A)

(43) 公開日 平成17年4月28日(2005.4.28)

(51) Int.Cl.⁷

H04L 25/49

G 1 1 B 20/10

G 1 1 B 20/14

G 1 1 B 20/18

F 1

H04 L 25/49

G 1 1 B 20/10

G 1 1 B 20/14

G 1 1 B 20/18

G 1 1 B 20/18

E

3 2 1 Z

341B

5 1 2 C

522D

テーマコード (参考)

5 D O 4 4

5K029

審査請求 未請求 請求項の数 5 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2003-351162 (P2003-351162)

(22) 出題日 平成15年10月9日 (2003. 10. 9)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100081813

弁理士 早瀬 憲一

(72) 発明者 藤本 幸人

大阪府門真市大字門真1006番地 松下

電器産業株式会社内

Fターム(参考) 5D044 BC02 CC06 DE70 GL02 GL14

GL41 GM02

5K029 AA01 CC07 DD29 EE11 HH24

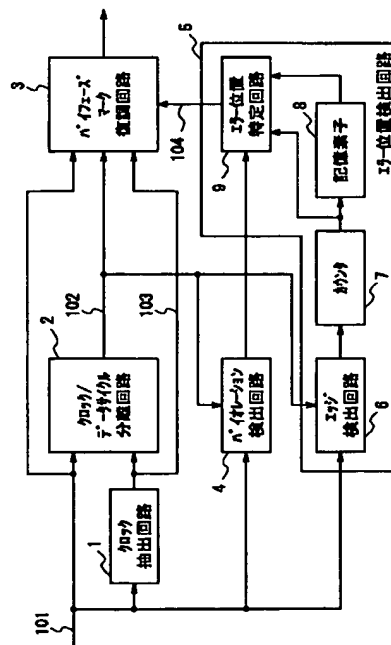
(54) 【発明の名称】 バイフェーズマーク再生装置

(57) 【要約】

【課題】 Wobble信号から得られるFM復調データの誤り率を軽減し、ATIP復調能力を向上させるバイフェーズマーク再生装置及び光ディスク装置を提供する。

【解決手段】 データ／クロック切り分け信号１０２によってパイフェーズマーク入力信号１０１をデータ領域とクロック領域に切り分け、該データ領域を復調するパイフェーズマーク復調回路３を備えたパイフェーズマーク再生装置において、さらに前記データ領域、およびクロック領域にエラーが存在するか否かを検出するパイオレーション検出回路４と、エラーが存在する場合には当該エラーの位置を検出するエラー位置検出回路５とを備え、前記パイフェーズマーク復調回路３において該エラー位置検出回路５の結果に基づいて、パイフェーズマーク復調信号の補正を行うこととした。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

バイフェーズマーク信号の再生装置において、

バイフェーズマーク信号からクロックを抽出するクロック抽出回路と、

バイフェーズマーク信号をクロック領域とデータ領域とに切り分けるためのクロック／データ切り分け信号を生成するクロック／データサイクル分離回路と、

バイフェーズマーク信号、バイフェーズ抽出クロック、及びクロック／データ切り分け信号の出力を受けてバイフェーズマーク信号を復調するバイフェーズマーク復調回路と、

バイフェーズマーク信号中のエラーの存在を検出するバイオレーション検出回路と、

前記バイオレーション検出回路からの出力を受けて当該エラーの位置を特定するエラー位置検出回路とを備え、

前記バイフェーズマーク復調回路は、前記エラー位置検出回路からの出力を受けてバイフェーズマーク復調信号の補正を行う、

ことを特徴とするバイフェーズマーク再生装置。

【請求項 2】

請求項 1 に記載のバイフェーズマーク再生装置において、

前記バイオレーション検出回路は、前記クロック／データ切り分け信号によりクロック領域とデータ領域とに切り分けられたバイフェーズマーク信号のクロック領域両端の信号レベルをそれぞれ検出し、当該信号レベルを比較した結果に基づきバイフェーズマーク信号中のエラーの存在を検出するものである、

ことを特徴とするバイフェーズマーク再生装置。

【請求項 3】

請求項 2 に記載のバイフェーズマーク再生装置において、

前記エラー位置検出回路は、クロック／データ切り分け信号により切り分けられたバイフェーズマーク信号のエッジを検出することによりクロック領域に含まれるエラーパターンを検出するエッジ検出回路と、

前記エッジ検出回路のエラーパターンの検出結果に基づき、クロック領域両端から所定のエッジまでの距離をそれぞれ計測するカウンタと、

前記カウンタによって計測されたカウント値を記憶する記憶素子と、

前記カウンタによって計測されたカウント値と前記記憶素子に記憶されたカウント値とを比較してエラー位置を特定するエラー位置特定回路とを備える、

ことを特徴とするバイフェーズマーク再生装置。

【請求項 4】

請求項 3 に記載のバイフェーズマーク再生装置において、

前記カウンタは、前記エッジ検出回路においてクロック領域内に複数のエッジが検出された場合は、当該クロック領域の両端から、当該クロック領域内のエッジであって前記両端からそれぞれに直近のエッジまでの距離を計測し、前記エッジ検出回路においてクロック領域にエッジが検出されない場合は、当該クロック領域の両端から、当該クロック領域外のエッジであって前記両端からそれぞれに直近のエッジまでの距離を計測するものである、

ことを特徴とするバイフェーズマーク再生装置。

【請求項 5】

請求項 4 に記載のバイフェーズマーク再生装置において、

前記エラー位置特定回路は、前記カウンタによって計測されたカウント値と前記記憶素子に記憶されたカウント値とを比較し、カウント値が少ないクロック領域端側に接するデータ領域を補正すべき領域であると特定するものである、

ことを特徴とするバイフェーズマーク再生装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、バイフェーズマークの復調データの誤り率を軽減するバイフェーズマーク再生装置に関するものであり、特に光ディスクから読み取ったバイフェーズマーク信号からのA T I P復調能力の改良を図ったものに関する。

【背景技術】

【0002】

従来、C D - R / R Wのような光ディスクにおいては、データ記録時にトラック形成を行うため、プリグループと呼ばれるガイド用の溝が設けられている。この溝は蛇行量 $\pm 0.03 \mu\text{m}$ 程度で半径方向に蛇行した形状をしており、W o b b l eと呼ばれる。このW o b b l eはメディアを標準速度で再生したときに $22.05 \text{ kHz} \pm 1 \text{ kHz}$ でF M復調されている。すなわち、 22.05 kHz のキャリアに $\pm 1 \text{ kHz}$ の周波数変移でF M復調されたデータが加えられたものである。

【0003】

このF M復調された記録データは、メディア上の絶対時間情報が刻まれており、A T I P (Absolute Time In Pregroove) と呼ばれる。そしてこのA T I Pにはメディア上の絶対時間情報のほかに、制御信号として最大記録可能時間、そのメディアに推奨される記録時のレーザーパワー設定情報などが記録されている。このA T I Pデータは、同期コードと時間情報を含むデータ領域と、誤り検出用のC R Cコードとから構成されており、バイフェーズマーク変調をかけた後にメディアに記録されている。

【0004】

ここでバイフェーズマーク変調とはデータを2倍のビットクロックでチャンネルビットのデータに変換するものである。バイフェーズマーク変調されたデータを復調する際には、チャンネルビットとデータ領域を切り分けて、データ領域が反転していれば「1」、反転していなければ「0」となる(特許文献1参照)。

【0005】

図4に従来のバイフェーズマーク再生装置の構成図を示す。従来のバイフェーズマーク再生装置は、光ディスク装置から読み込まれたバイフェーズマーク信号101からクロック成分103を抽出するクロック抽出回路1と、前記バイフェーズマーク信号101をデータ領域とクロック領域に切り分けるためのクロック/データ切り分け信号102を生成、出力するクロック/データサイクル分離回路2と、バイフェーズマーク信号101を復調してA T I Pデータを再生するバイフェーズマーク復調回路3とを備えている。

【0006】

この図4を用いて従来のバイフェーズマーク再生装置の動作を説明すると、光ディスクより読み出されたバイフェーズマーク信号101からクロック抽出回路1においてバイフェーズ抽出クロック103を抽出する。

【0007】

前記バイフェーズ抽出クロック103とバイフェーズマーク信号101の入力を受けてクロック/データサイクル分離回路2において、バイフェーズマーク信号101のクロック領域とデータ領域との切り分け信号102を生成する。

【0008】

そして、バイフェーズマーク復調回路3は、前記バイフェーズマーク信号101、前記バイフェーズ抽出クロック103、及び前記クロック/データ切り分け信号102の出力を受けて、バイフェーズマーク信号をデータ領域とクロック領域に切り分け、データ領域のバイフェーズ復調を行い、復調データを出力する。

【0009】

復調されたデータは、C R Cによりエラー検出が行われ、エラーがない場合のみA T I Pデータとして利用される。

【特許文献1】特開2003-203430号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、光ディスクからバイフェーズマーク信号を読み出す際に、光ディスクの汚れや傷、フォーカス／トラッキング／スピンドル制御の乱れなどの原因により、バイフェーズマーク信号の欠落や乱れといったエラーが生じることがある。

【0011】

この場合、上述した従来の処理では、バイフェーズマーク信号の欠落や乱れといったエラーが発生すると、誤ったチャンネルビットデータに変換してしまうために復調データに誤りが発生してしまうことがある。また、この誤った復調データはCRCによりエラー検出され、無効と判断されてしまうため、誤ったデータ部分のATIP情報が得られなくなってしまう。この結果、スピンドル制御ができなくなり、書き込みが停止してしまうといった問題が生じることがある。

10

【0012】

本発明は、上記問題点に鑑みてなされたものであり、復調データの誤り率を半減し、ATIP復調能力を向上させるバイフェーズマーク再生装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記課題を解決するため、本発明の請求項1に係るバイフェーズマーク再生装置は、バイフェーズマーク信号の再生装置において、バイフェーズマーク信号からクロックを抽出するクロック抽出回路と、バイフェーズマーク信号をクロック領域とデータ領域とに切り分けるためのクロック／データ切り分け信号を生成するクロック／データサイクル分離回路と、バイフェーズマーク信号、バイフェーズ抽出クロック、及びクロック／データ切り分け信号の出力を受けてバイフェーズマーク信号を復調するバイフェーズマーク復調回路と、バイフェーズマーク信号中のエラーの存在を検出するバイオレーション検出回路と、前記バイオレーション検出回路からの出力を受けて当該エラーの位置を特定するエラー位置検出回路とを備え、前記バイフェーズマーク復調回路は、前記エラー位置検出回路からの出力を受けてバイフェーズマーク復調信号の補正を行うことを特徴とする。

20

【0014】

また、本発明の請求項2に係るバイフェーズマーク再生装置は、請求項1に記載のバイフェーズマーク再生装置において、前記バイオレーション検出回路は、前記クロック／データ切り分け信号によりクロック領域とデータ領域とに切り分けられたバイフェーズマーク信号のクロック領域両端の信号レベルをそれぞれ検出し、当該信号レベルを比較した結果に基づきバイフェーズマーク信号中のエラーの存在を検出するものであることを特徴とする。

30

【0015】

また、本発明の請求項3に係るバイフェーズマーク再生装置は、請求項2に記載のバイフェーズマーク再生装置において、前記エラー位置検出回路は、クロック／データ切り分け信号により切り分けられたバイフェーズマーク信号のエッジを検出することによりクロック領域に含まれるエラーパターンを検出するエッジ検出回路と、前記エッジ検出回路のエラーパターンの検出結果に基づき、クロック領域両端から所定のエッジまでの距離をそれぞれ計測するカウンタと、前記カウンタによって計測されたカウント値を記憶する記憶素子と、前記カウンタによって計測されたカウント値と前記記憶素子に記憶されたカウント値とを比較してエラー位置を特定するエラー位置特定回路とを備えることを特徴とする。

40

【0016】

また、本発明の請求項4に係るバイフェーズマーク再生装置は、請求項3に記載のバイフェーズマーク再生装置において、前記カウンタは、前記エッジ検出回路においてクロック領域内に複数のエッジが検出された場合は、当該クロック領域の両端から、当該クロック領域内のエッジであって前記両端からそれぞれに直近のエッジまでの距離を計測し、前記エッジ検出回路においてクロック領域にエッジが検出されない場合は、当該クロック領域の両端から、当該クロック領域外のエッジであって前記両端からそれぞれに直近のエッジまでの距離を計測するものであることを特徴とする。

【0017】

50

また、本発明の請求項5に係るバイフェーズマーク再生装置は、請求項4に記載のバイフェーズマーク再生装置において、前記エラー位置特定回路は、前記カウンタによって計測されたカウント値と前記記憶素子に記憶されたカウント値とを比較し、カウント値が少ないクロック領域端側に接するデータ領域を補正すべき領域であると特定するものであることを特徴とする。

【発明の効果】

【0018】

本発明に係るバイフェーズマーク再生装置は、従来のバイフェーズマーク再生装置に加えて、バイオレーション検出回路、及びエラー位置検出回路を設けることによりバイフェーズマーク信号にエラーが存在するか否かを検出し、エラーが存在する場合は当該エラーの存在位置を特定することとしたので、バイフェーズマーク信号にエラーが生じていても、バイフェーズマーク信号の復調信号を補正することで復調データの誤り率を半減させ、A T I P復調能力を向上させることが可能となる。

【発明を実施するための最良の形態】

【0019】

以下、本発明に係るバイフェーズマーク再生装置の具体的な実施の形態につき適宜図面を用いて説明する。図1は、本発明の実施の形態に係るバイフェーズマーク再生装置の構成の一例を示す図である。

【0020】

まず、図1を用いて本実施の形態に係るバイフェーズマーク再生装置の構成について説明する。

【0021】

図1において、本実施の形態に係るバイフェーズマーク再生装置は、光ディスク装置から読み込まれたバイフェーズマーク信号101からクロック成分103を抽出するクロック抽出回路1と、前記バイフェーズマーク信号101をデータ領域とクロック領域に切り分けるためのクロック／データ切り分け信号102を生成、出力するクロック／データサイクル分離回路2と、バイフェーズマーク信号101を復調してA T I Pデータを再生するバイフェーズマーク復調回路3と、バイフェーズマーク信号101にエラーが含まれるか否かを検出するバイオレーション検出回路4と、バイフェーズマーク信号101に含まれるエラーの存在位置を検出しA T I P補正信号104を出力するエラー位置検出回路5とを備えている。

【0022】

また、エラー位置検出回路5は、前記クロック／データ切り分け信号102によって切り分けられたバイフェーズマーク信号のクロック領域とデータ領域の信号エッジを検出することによりクロック領域に含まれるエラーパターンを検出するエッジ検出回路6と、前記エッジ検出回路6のエラーパターンの検出結果に基づき、前記エッジとクロック領域端の間の距離をそれぞれ計測するカウンタ7と、前記カウンタ7の計測値を記憶する記憶素子8と、前記バイフェーズマーク信号に含まれるエラーの位置を特定するエラー位置特定回路9とを備えている。

【0023】

なお、エラー位置検出回路5は、バイフェーズマーク復調回路3に対する補正信号104を生成する補正信号生成部を備えており、またエラー位置特定回路9はその内部に、前記カウンタ7からの計測値と前記記憶素子8からの計測値とを比較する比較回路を備えているが、前記補正信号生成部、及び比較回路はいずれも図示はしていない。

【0024】

以上のように構成された、本実施の形態に係るバイフェーズマーク再生装置の動作について説明する。ただし、従来例と同じ動作をする回路の説明はここでは省略する。

【0025】

光ディスクより読み出されたバイフェーズマーク信号101は、背景技術において説明したように、クロック抽出回路1と、クロック／データサイクル分離回路2と、バイフェ

ーズマーク復調回路3とを経てA T I Pデータが再生される。

【0026】

クロック／データサイクル分離回路2から抽出されたクロック／データ切り分け信号102、及び光ディスクより読み出されたバイフェーズマーク信号101は、当該バイフェーズマーク信号101を復調するためにバイフェーズマーク復調回路3に入力されるとともに、当該バイフェーズマーク信号101にエラーが存在するか否かを検出し、エラーが存在する場合には当該エラーの位置を特定するため、バイオレーション検出回路4、及びエラー位置検出回路5中のエッジ検出回路6にも入力される。

【0027】

バイオレーション検出回路4は、クロック／データ切り分け信号102を用いてバイフェーズマーク信号101をデータ領域とクロック領域とに切り分ける。その後、クロック／データ切り分け信号102により切り分けられたクロック領域の両端の信号レベルを検出していく。

【0028】

ここで、本来バイフェーズマーク信号のクロック領域には必ずバイフェーズマークの反転が一つ存在するというバイフェーズマーク信号の規則性に基けば、クロック領域の両端の信号レベルが同レベルである場合には、当該クロック領域付近においてエラーが存在することになる。

【0029】

このため、前記クロック領域両端の信号レベルを検出し、比較した結果、クロック領域の両端の信号が同レベルである場合にはバイフェーズマーク信号101中にエラーが存在するものと判断され、その結果はエラー位置検出回路5内のエラー位置特定回路9に出力される。

【0030】

前記エラーが存在する場合、エッジ検出回路6は、まずバイフェーズマーク信号101をクロック領域とデータ領域とに切り分ける。次に、前記切り分けられたクロック領域もしくはデータ領域の信号エッジを検出し、エラーパターンを判断する。エラーパターンとしては、エラーを含むクロック領域にエッジが複数存在する場合と、エッジが存在しない場合がある。当該エッジパターンの判断結果はカウンタ7に出力される。

【0031】

カウンタ7以降の各回路の動作については、図2と図3を用いて説明する。

図2のケース1とケース2は、クロック領域にエッジが複数存在するエラーパターンである場合のバイフェーズマーク信号を表す。また、当該バイフェーズマーク信号がそのまま復調された場合のA T I Pデータと、後述する補正が行われた場合のA T I Pデータを前記バイフェーズマーク信号の下にそれぞれ示している。a～dはクロック領域端をそれぞれ表し、Edg1～Edg4は、当該バイフェーズマーク信号中の信号エッジをそれぞれ表す。図3のケース3とケース4は、クロック領域にエッジが存在しないエラーパターンである場合のバイフェーズマーク信号を表す。また、A T I Pデータ、e、f、及びEdg3～Edg8については、図2の場合と同様である。

【0032】

まず、カウンタ7は、クロック領域にエッジが複数確認されるようなエラーパターンをエッジ検出回路6が出力する場合は、図2ケース1で示すように、複数エッジが認められるクロック領域の一端(b)から、当該クロック領域内にあり前記クロック領域端から直近のエッジ(Edg2)までの距離(X)を計測する。当該計測値は記憶素子8に記憶される。

【0033】

次に、先に計測したクロック領域端(b)とは別のクロック領域端(a)から、当該クロック領域内にある直近のエッジ(Edg1)までの距離(Y)をカウンタ7で計測し、計測値をエラー位置特定回路9に出力する。記憶素子8に記憶した値もエラー位置特定回路9に出力される。

10

20

30

40

50

【0034】

エラー位置特定回路9は、XとYの大きさを、その内部に有する比較手段において比較し、小さな値をとるクロック領域端に接するデータ領域を、補正すべきデータ領域であると特定する。

【0035】

例えば、図2ケース1においては $X > Y$ であるため、エラー位置特定回路9はYの測定基準となったクロック領域端(a)に接するデータ領域を、補正すべきデータ領域であると特定する。また、図2ケース2においては $X < Y$ であるため、エラー位置特定回路9はXの測定基準となったクロック領域端(d)に接するデータ領域を、補正すべきデータ領域であると特定する。その後、エラー位置検出回路内の補正信号生成部は、補正をすべきデータ領域が、バイフェーズマーク復調回路3において1ビットのデータビットに復調された際の当該1ビットデータを反転させるような補正信号104を、バイフェーズマーク復調回路3に出力する。

10

【0036】

バイフェーズマーク復調回路3は、前記補正信号104を受けて、バイフェーズマーク信号101が復調された1ビットデータの内、補正すべきデータを反転させる。

【0037】

例えば、図2のケース1では、Yの測定基準となったクロック領域端(a)に接するデータ領域のバイフェーズマーク信号は、そのまま1ビットのデータビットに復調された場合は“0”となるが、バイフェーズマーク復調回路3は補正信号104を受けて、当該データを“1”に反転させる。同様に、図2のケース2では、Xの測定基準となったクロック領域端(d)に接するデータ領域が復調された際の1ビットデータである“0”を“1”に反転させる。

20

【0038】

一方、クロック領域にエッジが確認されないようなエラーパターンをエッジ検出回路6が出力する場合は、カウンタ7は、図3ケース3で示すように、エッジが存在しないクロック領域の一端(f)から、当該クロック領域端側であって当該クロック領域外にある直近のエッジ(Edg6)までの距離(X)を計測する。当該計測値は記憶素子8に記憶される。

【0039】

次に、先に計測したクロック領域端(f)とは別のクロック領域端(e)から、当該クロック領域端側であって当該クロック領域外にある直近のエッジ(Edg5)までの距離(Y)を計測し、計測値をエラー位置特定回路9に出力する。記憶素子8に記憶した値もエラー位置特定回路9に出力する。

30

【0040】

エラー位置特定回路9は、XとYの大きさを、その内部に有する比較手段において比較し、小さな値を取るクロック領域端に接するデータ領域を、補正すべきデータ領域であると特定する。

【0041】

例えば、図3ケース3では、 $X < Y$ であるため、エラー位置特定回路9はXの測定基準となったクロック領域端(f)に接するデータ領域を、補正すべきデータ領域であると特定する。また、図3ケース4においては $X > Y$ であるため、エラー検出回路はYの測定基準となったクロック領域端(e)に接するデータ領域を、補正すべきデータ領域であると特定する。その後、エラー位置検出回路内の補正信号生成部は、補正をすべきデータ領域が、バイフェーズマーク復調回路3において1ビットのデータビットに復調された際の当該1ビットデータを反転させるような補正信号104を、バイフェーズマーク復調回路3に出力する。

40

【0042】

バイフェーズマーク復調回路3は、前記補正信号104を受けて、バイフェーズマーク信号101が復調された1ビットデータの内、補正すべきデータを反転させる。

50

【0043】

例えば、図3のケース3では、Xの測定基準となったクロック領域端（f）に接するデータ領域のバイフェーズマーク信号は、そのまま1ビットのデータビットに復調された場合は“0”となるが、バイフェーズマーク復調回路3は補正信号104を受けて、当該データを“1”に反転させる。同様に、図3のケース4では、Yの測定基準となったクロック領域端（e）に接するデータ領域が復調された際の1ビットデータである“0”を“1”に反転させる。

【0044】

以上のように、本発明に係るバイフェーズマーク再生装置は、従来のバイフェーズマーク再生装置に加えて、バイオレーション検出回路4、及びエラー位置検出回路5を設けることによりバイフェーズマーク信号101にエラーが存在するか否かを検出し、エラーが存在する場合は当該エラーの存在位置を特定することとしたので、データ領域にあるエッジがクロック領域にずれることにより生じるようなエラー（図2におけるケース1、ケース2）や、クロック領域にあるエッジがデータ領域にずれることにより生じるようなエラー（図3におけるケース3、ケース4）がバイフェーズマーク信号101に生じてても、該バイフェーズマーク信号101の復調信号を補正することで復調データの誤り率を半減させ、ATIP復調能力を向上させることが可能となる。

【産業上の利用可能性】

【0045】

本発明のバイフェーズマーク再生装置を用いることにより、CD-R/RWなどの光ディスクの安定した記録、再生が可能となる点において有用である。

【図面の簡単な説明】

【0046】

【図1】本発明の実施の形態によるバイフェーズマーク再生装置の構成を表す図である。

【図2】本発明の実施の形態によるバイフェーズマーク再生装置における、入力バイフェーズマーク信号とエラー位置の特定との関係、及びATIPの補正を表す図である。

【図3】本発明の実施の形態によるバイフェーズマーク再生装置における、入力バイフェーズマーク信号とエラー位置の特定との関係、及びATIPの補正を表す図である。

【図4】従来の技術によるバイフェーズマーク再生装置の構成を表す図である。

【符号の説明】

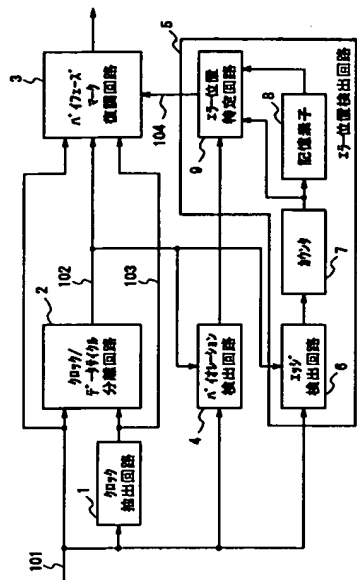
【0047】

- 1 クロック抽出回路
- 2 バイフェーズマーク復調回路
- 4 バイオレーション検出回路
- 5 エラー位置検出回路
- 6 エッジ検出回路
- 7 カウンタ
- 8 記憶素子
- 9 エラー位置特定回路
- 101 バイフェーズマーク信号
- 102 クロック／データ切り分け信号
- 103 バイフェーズ抽出クロック
- 104 補正信号

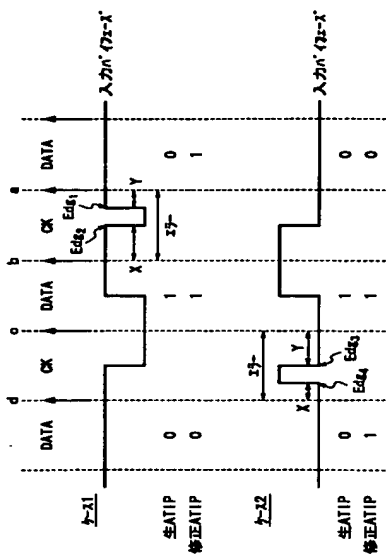
30

40

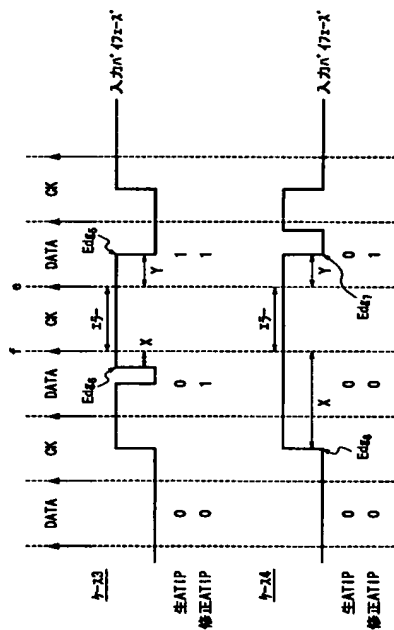
【 図 1 】



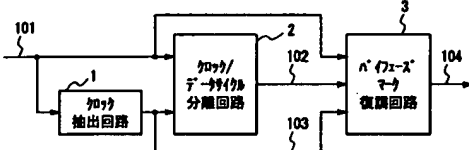
【图 2】



【例 3】



【图 4】



フロントページの続き

(51)Int. Cl. ⁷

F I

テーマコード (参考)

G 1 1 B 20/18 5 7 2 C

G 1 1 B 20/18 5 7 2 F

G 1 1 B 20/18 5 7 4 G

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-117499

(43)Date of publication of application : 28.04.2005

(51)Int.Cl.

H04L 25/49
G11B 20/10
G11B 20/14
G11B 20/18

(21)Application number : 2003-351162

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 09.10.2003

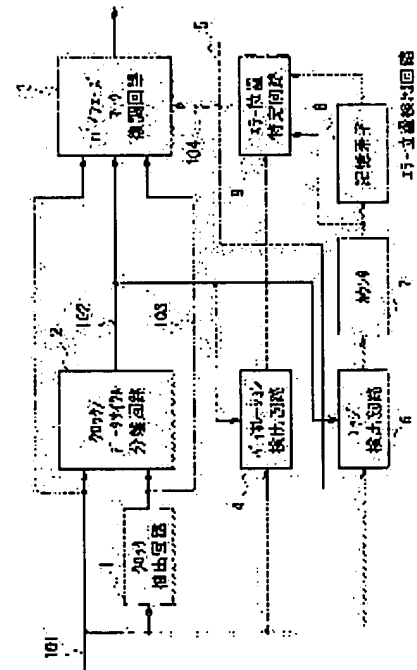
(72)Inventor : FUJIMOTO YUKITO

(54) BIPHASE MARK REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a biphase mark reproducing device and an optical disk device in which an error rate of frequency demodulation data obtained from a Wobble signal is reduced to improve ATIP demodulating capability.

SOLUTION: In the biphase mark reproducing device comprising a biphase mark demodulating circuit 3 wherein a biphase mark input signal 101 is cut into a data region and a clock region by a data/clock cut out signal 102 and the data region is demodulated, the biphase mark reproducing device further comprises a violation detecting circuit 4 for detecting the presence/non-presence of error in the data region and the clock region and an error position detecting circuit 5 for detecting the position of the error when the error is present and in the biphase mark demodulating circuit 3, a biphase mark demodulating signal is corrected on the basis of a result in the error position detecting circuit 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[Field of the Invention]

[0001]

This invention relates to the thing aiming at amelioration of the ATIP recovery capacity from the biphase mark signal read [especially] in the optical disk about the biphase mark regenerative apparatus which mitigates the error rate of the recovery data of a biphase mark.

[Background of the Invention]

[0002]

Conventionally, in order to perform track formation in an optical disk like CD-R/RW at the time of data logging, the slot for a guide called PURIGURUBU is prepared. This slot is carrying out the configuration where it moved in a zigzag direction in radial, in the amount of meandering of about **0.03 micrometers, and is called Wobble. When media are reproduced by standard speed, FM recovery of this Wobble is carried out by 22.05kHz**1kHz. That is, the data by which FM recovery was carried out by the **1kHz frequency change are added to a 22.05kHz carrier.

[0003]

The absolute time information on media is miniced and this record data by which FM recovery was carried out is called ATIP (Absolute Time In Pregroove). And the laser power setting information at the time of the record recommended to the maximum recordable time amount and its media other than the absolute time information on media etc. is recorded on this ATIP as a control signal. This ATIP data consists of a synchronous code, a data area including a hour entry, and a CRC code for error detection, and after it applies a biphase mark modulation, it is recorded on media.

[0004]

A biphase mark modulation changes data into the data of a channel bit with a twice as many bit clock as this here. if the channel bit and the data area were carved and the data area is reversed, in case it restores to the data by which the biphase mark modulation was carried out -- "1" -- it is set to "0" if not reversed (patent reference 1 reference).

[0005]

The block diagram of the conventional biphase mark regenerative apparatus is shown in drawing 4 . The conventional biphase mark regenerative apparatus is equipped with the clock extract circuit 1 which extracts the clock component 103 from the biphase mark signal 101 read from the optical disk unit, the clock / data cycle separation circuit 2 which generates the clock / data carving signal 102 for carving said biphase mark signal 101 into a data area and a clock field, and is outputted, and the biphase mark demodulator circuit 3 which restores to the biphase mark signal 101 and reproduces ATIP data.

[0006]

If actuation of the conventional biphase mark regenerative apparatus is explained using this drawing 4 , in the clock extract circuit 1, the biphase extract clock 103 will be extracted from the biphase mark signal 101 read from the optical disk.

[0007]

In response to the input of said biphasic extract clock 103 and the biphasic mark signal 101, the carving signal 102 of the clock field of the biphasic mark signal 101 and a data area is generated in a clock / data cycle separation circuit 2.

[0008]

And in response to said biphasic mark signal 101, said biphasic extract clock 103, and said output of a clock / data carving signal 102, the biphasic mark demodulator circuit 3 carves a biphasic mark signal into a data area and a clock field, performs the biphasic recovery of a data area, and outputs recovery data.

[0009]

Error detection is performed by CRC, and the data to which it restored are used as ATIP data, only when errorless.

[Patent reference 1] JP,2003-203430,A

[Description of the Invention]

[Problem(s) to be Solved by the Invention]

[0010]

However, in case a biphasic mark signal is read from an optical disk, lack of a biphasic mark signal and the error of turbulence may arise according to causes, such as dirt of an optical disk, and turbulence of a blemish, a focus / tracking / spindle control.

[0011]

In this case, in the conventional processing mentioned above, when lack of a biphasic mark signal and the error of turbulence occur, in order to change into mistaken channel bit data, an error may occur to recovery data. Moreover, since error detection of this mistaken recovery data will be carried out by CRC and it will be judged that it is invalid, the ATIP information for mistaken data division is no longer acquired. Consequently, the problem that spindle control becomes impossible and writing will stop may arise.

[0012]

This invention is made in view of the above-mentioned trouble, reduces the error rate of recovery data by half, and aims at offering the biphasic mark regenerative apparatus which raises ATIP recovery capacity.

[Means for Solving the Problem]

[0013]

In order to solve the above-mentioned technical problem, the biphasic mark regenerative apparatus concerning claim 1 of this invention The clock extract circuit which extracts a clock from a biphasic mark signal in the regenerative apparatus of a biphasic mark signal, The clock / data cycle separation circuit which generates the clock / data carving signal for carving a biphasic mark signal into a clock field and a data area, The biphasic mark demodulator circuit which restores to a biphasic mark signal in response to the output of a biphasic mark signal, a biphasic extract clock and a clock / data carving signal, The violation detector which detects existence of the error in a biphasic mark signal, It has the error location detector which pinpoints the location of the error concerned in response to the output from said violation detector, and said biphasic mark demodulator circuit is characterized by amending a biphasic mark recovery signal in response to the output from said error location detector.

[0014]

Moreover, the biphasic mark regenerative apparatus concerning claim 2 of this invention is characterized by said violation detector being what detects the signal level of the clock field both ends of the biphasic mark signal which was able to be carved into the clock field and the data area with said clock / data carving signal, respectively, and detects existence of the error in a biphasic mark signal based on the result of having compared the signal level concerned in a biphasic mark regenerative apparatus according to claim 1.

[0015]

Moreover, the biphasic mark regenerative apparatus concerning claim 3 of this invention In a biphasic mark regenerative apparatus according to claim 2 said error location detector The edge detector which detects the error pattern contained to a clock field by detecting the edge of the biphasic mark signal

which was able to be carved with the clock / data carving signal, The counter which measures the distance from clock field both ends to a predetermined edge based on the detection result of the error pattern of said edge detector, respectively, It is characterized by having the error location specification circuit which compares the storage element which memorizes the counted value measured by said counter with the counted value measured by said counter and the counted value memorized by said storage element, and pinpoints an error location.

[0016]

Moreover, the biphase mark regenerative apparatus concerning claim 4 of this invention In a biphase mark regenerative apparatus according to claim 3 said counter When two or more edges are detected in a clock field in said edge detector From the both ends of the clock field concerned, are an edge in the clock field concerned and the distance to the latest edge is measured from said both ends to each. When an edge is not detected to a clock field in said edge detector, from the both ends of the clock field concerned, it is an edge outside the clock field concerned, and is characterized by being what measures the distance to the latest edge from said both ends at each.

[0017]

Moreover, the biphase mark regenerative apparatus concerning claim 5 of this invention is characterized by said error location specification circuit being what is specified as it is the field which should amend the data area where the counted value measured by said counter is compared with the counted value memorized by said storage element, and counted value touches little clock field one end in a biphase mark regenerative apparatus according to claim 4.

[Effect of the Invention]

[0018]

The biphase mark regenerative apparatus concerning this invention To the conventional biphase mark regenerative apparatus, in addition, a violation detector, And when it detects whether an error exists in a biphase mark signal by preparing an error location detector and an error exists, since the error concerned existence location is pinpointed Even if the error has arisen to the biphase mark signal, the error rate of recovery data is reduced by half by amending the recovery signal of a biphase mark signal, and it becomes possible to raise ATIP recovery capacity.

[Best Mode of Carrying Out the Invention]

[0019]

Hereafter, it explains using a proper drawing per gestalt of concrete operation of the biphase mark regenerative apparatus concerning this invention. Drawing 1 is drawing showing an example of the configuration of the biphase mark regenerative apparatus concerning the gestalt of operation of this invention.

[0020]

First, the configuration of the biphase mark regenerative apparatus applied to the gestalt of this operation using drawing 1 is explained.

[0021]

In drawing 1, the biphase mark regenerative apparatus concerning the gestalt of this operation The clock extract circuit 1 which extracts the clock component 103 from the biphase mark signal 101 read from the optical disk unit, The clock / data cycle separation circuit 2 which generates the clock / data carving signal 102 for carving said biphase mark signal 101 into a data area and a clock field, and is outputted, The biphase mark demodulator circuit 3 which restores to the biphase mark signal 101 and reproduces ATIP data, It has the violation detector 4 which detects whether an error is included in the biphase mark signal 101, and the error location detector 5 which detects the error included in biphase mark signal 101 existence location, and outputs the ATIP amendment signal 104.

[0022]

Moreover, the edge detector 6 which detects the error pattern contained to a clock field when the error location detector 5 detects the signal edge of the clock field and data area of a biphase mark signal which was able to be carved with said clock / data carving signal 102, The counter 7 which measures the distance between said edge and a clock field edge based on the detection result of the error pattern of

said edge detector 6, respectively, It has the storage element 8 which memorizes the measurement value of said counter 7, and the error location specification circuit 9 which pinpoints the location of the error included in said biphase mark signal.

[0023]

In addition, although the error location detector 5 is equipped with the amendment signal generation section which generates the amendment signal 104 over the biphase mark demodulator circuit 3 and the error location specification circuit 9 is equipped with the comparator circuit [measurement value / the measurement value from said counter 7, and / from said storage element 8 / the interior], no said amendment signal generation sections and comparator circuits have carried out illustration.

[0024]

The actuation of the biphase mark regenerative apparatus concerning the gestalt of this operation constituted as mentioned above is explained. However, explanation of the circuit which carries out the same actuation as the conventional example is omitted here.

[0025]

As the biphase mark signal 101 read from the optical disk was explained in the background technique, ATIP data are reproduced through the clock extract circuit 1, the clock / data cycle separation circuit 2, and the biphase mark demodulator circuit 3.

[0026]

The clock / data carving signal 102 extracted from the clock / data cycle separation circuit 2, and the biphase mark signal 101 read from the optical disk In order to restore to the biphase mark signal 101 concerned, while being inputted into the biphase mark demodulator circuit 3 It detects whether an error exists in the biphase mark signal 101 concerned, and since the location of the error concerned is pinpointed when an error exists, it is inputted also into the violation detector 4 and the edge detector 6 in the error location detector 5.

[0027]

The violation detector 4 carves the biphase mark signal 101 into a data area and a clock field using a clock / data carving signal 102. Then, the signal level of the both ends of the clock field which was able to be carved with the clock / data carving signal 102 is detected.

[0028]

Here, if based on the regularity of the biphase mark signal that originally one reversal of a biphase mark surely exists in the clock field of a biphase mark signal, when the signal level of the both ends of a clock field will be this level, an error will exist in near [concerned] a clock field.

[0029]

For this reason, as a result of detecting and comparing the signal level of said clock field both ends, when the signal of the both ends of a clock field is this level, it is judged as that to which an error exists in the biphase mark signal 101, and that result is outputted to the error location specification circuit 9 in the error location detector 5.

[0030]

When said error exists, the edge detector 6 carves the biphase mark signal 101 into a clock field and a data area first. Next, the signal edge of said clock field which was able to be carved, or a data area is detected, and an error pattern is judged. The case where two or more edges exist in a clock field including an error as an error pattern, and an edge may not exist. The decision result of the edge pattern concerned is outputted to a counter 7.

[0031]

Actuation of each circuit after a counter 7 is explained using drawing 2 and drawing 3 .

The case 1 and case 2 of drawing 2 express the biphase mark signal in the case of being the error pattern with which two or more edges exist in a clock field. Moreover, ATIP data when the biphase mark signal concerned gets over as it is, and ATIP data when amendment mentioned later is performed are shown under said biphase mark signal, respectively. a-d expresses a clock field edge, respectively, and Edg1-Edg4 express the signal edge in the biphase mark signal concerned, respectively. The case 3 and case 4 of drawing 3 express the biphase mark signal in the case of being the error pattern with which an edge

does not exist in a clock field. Moreover, about ATIP data, e and f, and Edg3-Edg8, it is the same as that of the case of drawing 2.

[0032]

First, when the edge detector 6 outputs an error pattern with which two or more checks of the edge are carried out to a clock field, as the drawing 2 case 1 shows, from the end (b) of the clock field where two or more edges are accepted, a counter 7 is in the clock field concerned, and measures the distance (X) from said clock field edge to the latest edge (Edg2). The measurement value concerned is memorized by the storage element 8.

[0033]

Next, the distance (Y) from a clock field edge (a) other than the clock field edge (b) measured previously to the latest edge (Edg1) in the clock field concerned is measured with a counter 7, and a measurement value is outputted to the error location specification circuit 9. The value memorized to the storage element 8 is also outputted to the error location specification circuit 9.

[0034]

The error location specification circuit 9 compares the magnitude of X and Y in the comparison means which it has in the interior, and pinpoints the data area adjacent to the clock field edge which takes a small value as it is the data area which should be amended.

[0035]

For example, since it is $X > Y$ in the drawing 2 case 1, the error location specification circuit 9 pinpoints the data area adjacent to the clock field edge (a) used as the metrics of Y as it is the data area which should be amended. Moreover, since it is $X < Y$ in the drawing 2 case 2, the error location specification circuit 9 pinpoints the data area adjacent to the clock field edge (d) used as the metrics of X as it is the data area which should be amended. Then, the amendment signal generation section in an error location detector outputs the amendment signal 104 which reverses the 1 bit data concerned at the time of the data area which should amend getting over to a 1-bit data bit in the biphase mark demodulator circuit 3 to the biphase mark demodulator circuit 3.

[0036]

The biphase mark demodulator circuit 3 reverses the data which should be amended among 1 bit data to which the biphase mark signal 101 restored in response to said amendment signal 104.

[0037]

For example, although the biphase mark signal of the data area adjacent to the clock field edge (a) used as the metrics of Y is set to "0" in the case 1 of drawing 2 when it gets over to a 1-bit data bit as it is, the biphase mark demodulator circuit 3 makes "1" reverse the data concerned in response to the amendment signal 104. "1" is made similarly to reverse "0" which is 1 bit data at the time of the data area adjacent to the clock field edge (d) used as the metrics of X getting over in the case 2 of drawing 2.

[0038]

On the other hand, when the edge detector 6 outputs an error pattern with which an edge is not checked to a clock field, a counter 7 measures the distance (X) to the latest edge (Edg6) which is the clock field one end concerned and is outside the clock field concerned from the end (f) of the clock field where an edge does not exist, as the drawing 3 case 3 shows. The measurement value concerned is memorized by the storage element 8.

[0039]

Next, the distance (Y) to the latest edge (Edg5) which is the clock field one end concerned and is outside the clock field concerned from a clock field edge (e) other than the clock field edge (f) measured previously is measured, and a measurement value is outputted to the error location specification circuit 9. The value memorized to the storage element 8 is also outputted to the error location specification circuit 9.

[0040]

The error location specification circuit 9 compares the magnitude of X and Y in the comparison means which it has in the interior, and pinpoints the data area adjacent to the clock field edge which takes a small value as it is the data area which should be amended.

[0041]

For example, in the drawing 3 case 3, since it is $X < Y$, the error location specification circuit 9 pinpoints the data area adjacent to the clock field edge (f) used as the metrics of X as it is the data area which should be amended. Moreover, since it is $X > Y$ in the drawing 3 case 4, an error detection circuit pinpoints the data area adjacent to the clock field edge (e) used as the metrics of Y as it is the data area which should be amended. Then, the amendment signal generation section in an error location detector outputs the amendment signal 104 which reverses the 1 bit data concerned at the time of the data area which should amend getting over to a 1-bit data bit in the biphase mark demodulator circuit 3 to the biphase mark demodulator circuit 3.

[0042]

The biphase mark demodulator circuit 3 reverses the data which should be amended among 1 bit data to which the biphase mark signal 101 restored in response to said amendment signal 104.

[0043]

For example, although the biphase mark signal of the data area adjacent to the clock field edge (f) used as the metrics of X is set to "0" in the case 3 of drawing 3 when it gets over to a 1-bit data bit as it is, the biphase mark demodulator circuit 3 makes "1" reverse the data concerned in response to the amendment signal 104. "1" is made similarly to reverse "0" which is 1 bit data at the time of the data area adjacent to the clock field edge (e) used as the metrics of Y getting over in the case 4 of drawing 3.

[0044]

As mentioned above, the biphase mark regenerative apparatus concerning this invention It detects whether in addition to the conventional biphase mark regenerative apparatus, an error exists in the biphase mark signal 101 by forming the violation detector 4 and the error location detector 5. When an error exists, since the error concerned existence location is pinpointed An error (the case 1 in drawing 2, case 2) which is produced when the edge in a data area shifts to a clock field, Even if an error (the case 3 in drawing 3, case 4) which is produced when the edge in a clock field shifts to a data area arises to the biphase mark signal 101 The error rate of recovery data is reduced by half by amending the recovery signal of this biphase mark signal 101, and it becomes possible to raise ATIP recovery capacity.

[Availability on industry]

[0045]

By using the biphase mark regenerative apparatus of this invention, it is useful in the record by which optical disks, such as CD-R/RW, were stabilized, and the point which becomes reproducible.

[Brief Description of the Drawings]

[0046]

[Drawing 1] It is drawing showing the configuration of the biphase mark regenerative apparatus by the gestalt of operation of this invention.

[Drawing 2] It is drawing showing the relation of the input biphase mark signal in a biphase mark regenerative apparatus and pinpointing of an error location by the gestalt of operation of this invention, and amendment of ATIP.

[Drawing 3] It is drawing showing the relation of the input biphase mark signal in a biphase mark regenerative apparatus and pinpointing of an error location by the gestalt of operation of this invention, and amendment of ATIP.

[Drawing 4] It is drawing showing the configuration of the biphase mark regenerative apparatus by the Prior art.

[Description of Notations]

[0047]

1 Clock Extract Circuit

2 Biphase Mark Demodulator Circuit

4 Violation Detector

5 Error Location Detector

6 Edge Detector

7 Counter

8 Storage Element
9 Error Location Specification Circuit
101 Biphase Mark Signal
102 Clock / Data Carving Signal
103 Biphase Extract Clock
104 Amendment Signal

[Translation done.]